

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Multiprocessor system and the bus arbitrating method of the same

Patent Number: ☐ US6339807
Publication date: 2002-01-15
Inventor(s): YASUE MASAHIRO (JP)
Applicant(s): SONY CORP (US)
Requested Patent: ☐ JP2000035954
Application Number: US19990310942 19990513
Priority Number(s): JP19980131842 19980514; JP19990075795 19990319
IPC Classification: G06F12/00; G06F13/14
EC Classification:
Equivalents:

Abstract

An arbitrator provided to a processor element requests the utilization of a bus sends a bus request signal and a bus request value according to a priority level of the processor element to the bus, determines the priority of utilizing the bus in accordance with utilizing situation of the bus and the priority level of the processor element. Since a common bus arbitrating circuit connected to the bus watches the bus and determines a processor element to utilize the bus according to the utilizing situation of the bus and the priority level of the processor elements requesting the utilization of the bus, the bus arbitration can be performed with high speed, and an increase of communication speed between the processor elements through a single bus can be realized

Data supplied from the esp@cenet database - 12

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-35954
(P2000-35954A)

(43)公開日 平成12年2月2日(2000.2.2)

(51)Int.Cl.⁷
G 0 6 F 15/177
13/374

識別記号
6 8 2

F I
G 0 6 F 15/177
13/374

テーマコード(参考)
6 8 2 G

審査請求 未請求 請求項の数15 O L (全 9 頁)

(21)出願番号 特願平11-75795

(22)出願日 平成11年3月19日(1999.3.19)

(31)優先権主張番号 特願平10-131842

(32)優先日 平成10年5月14日(1998.5.14)

(33)優先権主張国 日本(J P)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 安江 正宏

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74)代理人 100094053

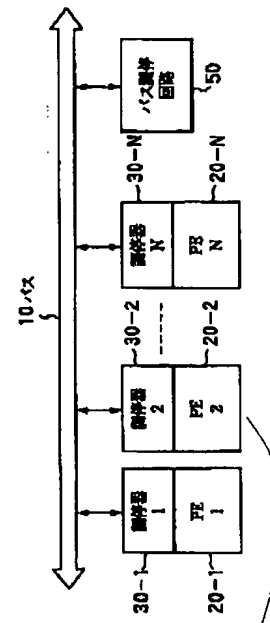
弁理士 佐藤 隆久

(54)【発明の名称】 マルチプロセッサおよびそのバス調停方法

(57)【要約】

【課題】 バス調停にかかる時間を短縮でき、システム
全体の動作の高速化を実現できるマルチプロセッサおよ
びそのバス調停方法を提供する。

【解決手段】 バス10を使用するプロセッサエレメン
トに設けられた調停器はバス要求信号とそのプロセッサ
エレメントの特権レベルに応じたバス要求値をバス10
に送信し、バスの使用状況および当該プロセッサエレメ
ントの特権レベルに応じて、バス使用の可否を決定す
る。バスに接続されている共通のバス調停回路50は、
バス10を監視しつつ、バス10に複数のプロセッサエレ
メントからのバス要求信号が送信されたとき、バスの
使用状況およびバスを要求した各プロセッサエレメント
の特権レベルに応じて、バス10を使用するプロセッサ
エレメントを決定するので、バス調停を高速に行うこと
ができ、単一のバスを用いたプロセッサ間の通信の高速
化を実現できる。



【特許請求の範囲】

【請求項1】複数のプロセッサエレメントがそれぞれ独立に動作し、共通のバスを用いて情報の伝達を行うマルチプロセッサであって、

上記プロセッサエレメントがバスを使用するとき、当該プロセッサエレメントの特権レベルに応じたバス要求値を生成する要求値生成回路と、

上記プロセッサエレメントがバスを使用するとき、バス要求信号と上記バス要求値を上記バスに送信する送信回路と、

上記プロセッサエレメントが上記バス要求信号を送信したとき、上記バスの使用状況および上記バス要求信号を送信したプロセッサエレメントのバス要求値に応じて、バス使用の可否を判断する制御回路と、

上記バスに接続され、上記バスに複数のプロセッサエレメントから上記バス要求信号が送信された、かつ上記制御回路が優先的にバスの使用をする一のプロセッサエレメントを特定出来ない場合に、バス使用状況または上記バス要求信号を送信した各プロセッサエレメントの特権レベルに応じて、バスを使用するプロセッサエレメントを決定するバス調停回路とを有するマルチプロセッサ。

【請求項2】上記要求値生成回路は、上記各プロセッサエレメントに対応して、各プロセッサエレメント毎に設けられている請求項1記載のマルチプロセッサ。

【請求項3】上記送信回路は、上記各プロセッサエレメントに対応して、各プロセッサエレメント毎に設けられている請求項1記載のマルチプロセッサ。

【請求項4】上記制御回路は、上記各プロセッサエレメントに対応して、各プロセッサエレメント毎に設けられている請求項1記載のマルチプロセッサ。

【請求項5】上記各プロセッサエレメント毎に、当該プロセッサエレメントの特権レベルを示す M ($M \geq 1$ 、 M は整数である) ビットの特権レベルデータを記憶する記憶回路を有する請求項1記載のマルチプロセッサ。

【請求項6】上記要求値生成回路は、上記記憶回路に記憶されている上記特権レベルデータのうち、少なくとも上位 m ($m \leq M$ 、 m は整数である) ビットを用いて上記バス要求値を生成する請求項5記載のマルチプロセッサ。

【請求項7】上記バスに接続されている上記プロセッサエレメントが全部で N ($N \geq 2$ 、 N は整数である) 個の場合、上記バスのデータ幅は、少なくとも $m \times N$ ビットである請求項6記載のマルチプロセッサ。

【請求項8】上記制御回路は、上記記憶回路に記憶されている上記特権レベルデータを書き換える請求項5記載のマルチプロセッサ。

【請求項9】上記バス調停回路は、上記バスから複数のプロセッサエレメントからの上記バス要求信号を受信したとき、上記バス要求信号を送信した各々のプロセッサエレメントの特権レベルに応じて、バスを使用すべきプ

ロセッサエレメントを判断する特権レベル判断回路を有する請求項1記載のマルチプロセッサ。

【請求項10】上記バス調停回路は、上記バスに接続されている各プロセッサエレメントの特権レベルデータを記憶する記憶回路を有する請求項1記載のマルチプロセッサ。

【請求項11】上記バス調停回路は、上記記憶回路に記憶されている上記各プロセッサエレメントの特権レベルデータを書き換える制御回路を有する請求項10記載のマルチプロセッサ。

【請求項12】単一のバスに接続されている複数のプロセッサエレメントに対して、バスの使用権を決定するバス調停方法であって、

各プロセッサエレメント毎にバスの使用の可否を判断する制御回路を設け、

バスを使用するプロセッサエレメントによりバス要求信号と当該プロセッサエレメントの特権レベルに応じたバス要求値を上記バスに送信し、

プロセッサエレメントに設けられた上記制御回路により、バスの使用状況および上記プロセッサエレメントからの上記バス要求値に応じて、上記プロセッサエレメントに対してバス使用の可否を決定し、

上記バスに共通のバス調停回路を設け、

上記バスに複数の上記プロセッサエレメントからバス要求信号が送信され、かつ上記制御回路が優先的にバスの使用をする一のプロセッサエレメントを特定できない場合に、上記バス調停回路によりバスの使用状況および上記バス要求信号を送信した各プロセッサエレメントの特権レベルに応じて、バスを使用するプロセッサエレメントを決定するマルチプロセッサのバス調停方法。

【請求項13】上記各プロセッサエレメントの特権レベルデータは、変更可能であり、外部からの指示信号もしくは上記プロセッサエレメントからの指示信号に応じて上記の特権レベルデータが変更される請求項12記載のマルチプロセッサのバス調停方法。

【請求項14】上記バス調停回路は、上記各プロセッサエレメントの特権レベルデータを記憶する請求項12記載のマルチプロセッサのバス調停方法。

【請求項15】上記バス調停回路は、何れかのプロセッサエレメントの特権レベルデータが変更されたとき、それに応じて上記記憶されているプロセッサエレメントの特権レベルを変更する請求項12記載のマルチプロセッサのバス調停方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のプロセッサエレメントなどによって単一のバスを共有するマルチプロセッサおよび当該マルチプロセッサにおけるバス使用権を決定するバス調停方法に関するものである。

【0002】

【従来の技術】図7に示すマルチプロセッサシステムは、単一バスのマルチプロセッサシステムである。このシステムでは、一度に単一の通信しかできないため、バス10を使用するプロセッサエレメント（PE）をただ1つだけ選択する選択機構、例えば、調停回路が必要である。さらに、調停の際に個々のプロセッサエレメントに固有の優先順位を割り付けるのではなく、より効果的にバスを使用するために、動的に優先順位を割り付ける方法が一般的に採用されている。この場合、例えば、特権レベルを利用するバスの割り振りが有効である。

【0003】従来、上記調停回路には、集中型調停回路と分散型調停回路があった。集中型調停回路は、図8に示すように、例えば、バス10に接続されている複数のプロセッサエレメント12、22、32と一つの調停器40により構成されている。集中型調停回路においては、バス10を使用するプロセッサエレメントから直接または間接的に調停器40にバス要求信号が送られ、調停器40によりバス使用の許可信号がバスの使用が許可されたプロセッサエレメントに返される。

【0004】即ち、集中型調停回路では、プロセッサエレメントのバス要求信号の送信、調停器のプロセッサエレメントの選択、調停器の許可信号の送信という3つの処理を経て、はじめてバスの使用を要求したプロセッサエレメントがバスを使用可能となる。

【0005】分散型調停回路の一例は、図9に示している。図示のように、分散型調停回路は、バス10に接続されている複数のプロセッサエレメント12、22、32により構成されている。さらに、各プロセッサエレメントにそれぞれバス使用権の調停を行う調停器11、21、31が設けられている。

【0006】図9に示している分散型調停回路では、許可信号は複数の場所（多くは各プロセッサの調停器）で生成される。この調停回路で、特権レベルを利用して調停を行うためには、それぞれの調停器ごとに、すべてのプロセッサエレメントの特権レベルを保持する必要がある。さらに、ある一つのプロセッサエレメントの特権レベルが変更されたとき、すべての調停回路にそれを通知する必要がある。このような分散型調停回路によって、プロセッサエレメントは、それに設けられた調停器によりバス使用できるか否かが直接判断でき、判断結果に応じてバス使用許可が決定されるので、集中型調停回路に比べてバス要求を送信してからバス使用許可が受信するまでの所要時間が短縮できる。

【0007】

【発明が解決しようとする課題】ところで、上述した従来のマルチプロセッサシステムでは、集中型と分散型においてそれぞれのデメリットがある。例えば、集中型の調停回路を持つマルチプロセッサでは、プロセッサエレメントのバス要求信号の送信、調停器のプロセッサエレメントの選択、調停器の許可信号の送信という3つの

処理が不可欠である。さらに、これらの3つの処理は同時に行うことができず、逐次的に処理せざるを得ないため、調停に要する時間が長くなる。

【0008】一方、分散型の調停回路を持つマルチプロセッサでは、特権レベルを利用した調停を行うためには、それぞれのプロセッサエレメントに設けられた調停器毎に、すべてのプロセッサエレメントの特権レベルを記憶する必要があり、さらに、ある一つのプロセッサエレメントの特権レベルが変更されたとき、すべての調停器にそれを通知する必要がある。システム全体の通信負荷が大きくなる。また、それぞれの調停回路がプロセッサエレメントを選択する回路を持たなければならないため、複雑な選択方法では、それぞれの調停回路の規模が大きくなり、システム全体の規模も大きくなってしまふという不利益がある。

【0009】本発明は、かかる事情に鑑みてなされたものであり、その目的は、回路規模を大幅に増加させることなく、バス調停にかかる時間を短縮でき、システム全体の高速化を実現できるマルチプロセッサおよびそのバス使用権決定方法を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明のマルチプロセッサは、複数のプロセッサエレメントがそれぞれ独立に動作し、共通のバスを用いて情報の伝達を行うマルチプロセッサであって、上記プロセッサエレメントがバスを使用するとき、当該プロセッサエレメントの特権レベルに応じたバス要求値を生成する要求値生成回路と、上記プロセッサエレメントがバスを使用するとき、バス要求信号と上記バス要求値を上記バスに送信する送信回路と、上記プロセッサエレメントが上記バス要求値を送信したとき、上記バスの使用状況および上記バス要求値を送信したプロセッサエレメントの特権レベルに応じて、バス使用の可否を判断する制御回路と、上記バスに接続され、上記バスに複数のプロセッサエレメントから上記バス要求値が送信され、かつ上記制御回路が優先的にバスの使用をする一のプロセッサエレメントを特定できない場合に、バス使用状況または上記バス要求値を送信した各プロセッサエレメントの特権レベルに応じて、バスを使用するプロセッサエレメントを決定するバス調停回路とを有する。

【0011】また、本発明では、好適には、上記要求値生成回路、送信回路または制御回路は、上記各プロセッサエレメントに対応して、各プロセッサエレメント毎に設けられている。また、上記各プロセッサエレメント毎に、当該プロセッサエレメントの特権レベルを示すM（ $M \geq 1$ 、Mは整数である）ビットの特権レベルデータを記憶する記憶回路を有する。

【0012】また、本発明では、好適には、上記要求値生成回路は、上記記憶回路に記憶されている上記特権レベルデータのうち、少なくとも上位m（ $m \leq M$ 、mは整

数である) ビットを用いて上記バス要求値を生成する。さらに、上記バスに接続されている上記プロセッサエレメントが全部で N ($N \geq 2$, N は整数である) 個の場合、上記バスのデータ幅は、少なくとも $m \times N$ ビットである。

【0013】また、本発明では、好適には、上記各プロセッサエレメントの特権レベルデータは、変更可能であり、各プロセッサエレメント毎に設けられた上記制御手段により、それぞれのプロセッサエレメント毎に設けられている上記記憶回路に記憶されている上記特権レベルデータが書き換えられる。

【0014】また、本発明は、単一のバスに接続されている複数のプロセッサエレメントに対して、バスの使用権を決定するバス調停方法であって、各プロセッサエレメント毎にバスの使用の可否を判断する制御回路を設け、バスを使用するプロセッサエレメントによりバス要求信号と当該プロセッサエレメントの特権レベルに応じたバス要求値を上記バスに送信し、プロセッサエレメントに設けられた上記制御回路により、バスの使用状況および上記プロセッサエレメントからの上記バス要求値に応じて、上記プロセッサエレメントに対してバス使用の可否を決定し、上記バスに共通のバス調停回路を設け、上記バスに複数の上記プロセッサエレメントからバス要求信号が送信され、かつ上記制御回路が優先的にバスを使用する一のプロセッサエレメントを特定できない場合に、上記バス調停回路によりバスの使用状況および上記バス要求信号を送信した各プロセッサエレメントの特権レベルに応じて、バスを使用するプロセッサエレメントを決定する。

【0015】さらに、本発明では、好適には、上記共通のバス調停回路は、上記各プロセッサエレメントの特権レベルデータを記憶し、また、何れかのプロセッサエレメントの特権レベルデータが変更されたとき、それに応じて上記記憶されているプロセッサエレメントの特権レベルを変更する。

【0016】本発明によれば、単一のバスを使用する複数のプロセッサエレメントからなるマルチプロセッサにおいて、各プロセッサエレメント毎にバスの使用の可否を判断する調停器が設けられている。バスを使用するプロセッサエレメントにより、バス要求信号と当該プロセッサエレメントの特権レベルに応じたバス要求値がバスに出力される。各プロセッサエレメントに設けられた調停器において自分のプロセッサエレメントからバス要求信号が送信されたとき、バスの使用状況および自分のプロセッサエレメントのバス要求値に応じて、自分のプロセッサエレメントのバス使用の可否を判断する。

【0017】さらに、上記バスに共通のバス調停回路が接続され、当該バス調停回路により、バスの使用状況を監視しつつ、複数のプロセッサエレメントからバス要求信号がバスに送信されたとき、バスの使用状況およびバ

ス使用を要求したプロセッサエレメントの特権レベルに応じて、バスを使用するプロセッサエレメントを決定し、各プロセッサエレメントに使用の可否を通知する。 上述したように、本発明のマルチプロセッサにおいて、バス使用を要求したプロセッサエレメントが一つの場合に、該当するプロセッサエレメントに設けられている調停器によってそのプロセッサエレメントにバス使用の可否を判断でき、または複数のプロセッサエレメントが同時にバスの使用を要求した場合に、バスに接続されている共通のバス調停回路によって、バス使用を要求した各プロセッサエレメントの特権レベルなどに基づき、バスを使用するプロセッサエレメントを決定する調停を行うので、バス調停を高速に実行できる。

【0018】

【発明の実施の形態】図1は本発明に係るマルチプロセッサの一実施形態を示す回路図である。図示のように、本実施形態のマルチプロセッサは、共通のバス10に接続されている N 個のプロセッサエレメント(PE) 20-1, 20-2, ..., 20-N, 各々のプロセッサエレメントに設けられている調停器30-1, 30-2, ..., 30-Nおよび共通のバス調停回路50により構成されている。

【0019】図1に示すように、本実施形態のマルチプロセッサにおいて、すべてのプロセッサエレメント20-1, 20-2, 20-3にそれぞれ調停器30-1, 30-2, ..., 30-Nが設けられている。また、各プロセッサエレメントは特権レベルを1つずつ保持している。これらの特権レベルは一定ではなく変更される可能性がある。バス調停回路50は、すべてのプロセッサエレメントの特権レベルを保持している。あるプロセッサエレメントの特権レベルが変更されると、バス調停回路50中に保持されている対応する特権レベルの値も同様に変更される。

【0020】図2は、それぞれ各プロセッサエレメントに設けられている調停器の内部構成を示している。以下、図2を参照しつつ、各プロセッサエレメントに設けられている調停器の構成および機能について説明する。

【0021】図1に示す全てのプロセッサエレメント20-1, 20-2, 20-3に設けられている調停器30-1, 30-2, ..., 30-Nはほぼ同じ構成を有するので、図2においては、例えば、プロセッサエレメント20-1に設けられている調停器30-1を例示している。図示のように、調停器30-1は、受信回路31、送信回路32、制御回路33、要求値生成回路34および特権レベル記憶回路35により構成されている。

【0022】受信回路31は、バス10からバス調停回路50および他のプロセッサエレメントに設けられている調停器からのバス要求信号およびバス要求値を受信し、受信信号を制御回路33に供給する。送信回路32は、プロセッサエレメント20-1がバスを使用すると

き、バス10にバス要求信号とともに、要求値生成回路34により生成したバス要求値をバス10に送信する。

【0023】制御回路33は、プロセッサエレメント20-1からバス使用要求を受けたとき、要求値生成回路34にバス要求値を生成させ、さらに、送信回路32にバス要求信号とともに、要求値生成回路34により生成したバス要求値をバス10に送信することを指示する。そして、現在バス10の使用状況および特権レベル記憶回路35に記憶されているプロセッサエレメント20-1の特権レベルに応じて、プロセッサエレメント20-1がバスを使用できるか否かを判断し、判断の結果プロセッサエレメント20-1に通知する。さらに、制御回路33は、プロセッサエレメント20-1からの指示または受信回路31によって受信した指示信号に従って、特権レベル記憶回路35に記憶したプロセッサエレメント20-1の特権レベルデータを書き換える。

【0024】要求値生成回路34は、プロセッサエレメント20-1がバス10を使用するとき、制御回路33の制御に基づき特権レベル記憶回路35に記憶されているプロセッサエレメント20-1の特権レベルデータに基づき、バス要求値を生成する。特権レベル記憶回路35は、プロセッサエレメント20-1の特権レベルを示す特権レベルデータを記憶する。ここで、当該特権レベルデータは、例えば、Mビットのデータからなる。なお、上述したように各プロセッサエレメントに付与されている特権レベルは、固定ではなく可変なものである。このため、例えば、プロセッサエレメント20-1の特権レベルが変更するとき、それに応じて特権レベル記憶回路35に記憶されている特権レベルデータが制御回路33の指示に従って書き換えられる。特権レベルの変更は、例えば、プロセッサエレメント20-1からの変更指示により行う。または、外部の制御装置、例えば、マルチプロセッサのシステム全体の動作を制御する制御装置によりバス10を経してそれぞれのプロセッサエレメントに特権レベルの設定および変更を指示する制御信号が出力される。この場合、例えば、受信回路31からプロセッサエレメント20-1の特権レベルを変更する指示信号を受信したとき、制御回路33は、当該指示信号に従って特権レベル記憶回路35に記憶されている特権レベルデータを変更する。

【0025】要求値生成回路34は、特権レベル記憶回路35に記憶されているMビットの特権レベルデータに応じてバス要求値を生成する。具体的に、例えば、Mビットの特権レベルデータのうち、上位mビットに基づきバス要求値を生成する。一例として、ここで、 $M=8$ 、 $m=2$ の場合について説明する。即ち、特権レベルデータが8ビットからなり、要求値生成回路34は、特権レベルデータの8ビットのうち上位2ビットを取り出し、当該2ビットデータの最下位にさらに1ビットのデータ“1”を付加してバス要求値を生成する。例えば、特権

レベルデータが“10010001”の場合、バス要求値“101”を生成して出力する。

【0026】図3は、バス調停回路50の構成を示している。以下、図3を参照しつつ、バス調停回路50の構成および機能について説明する。図示のように、バス調停回路50は、受信回路51、送信回路52、制御回路53、特権レベル判断回路54、巡回レベル判断回路55および特権レベル記憶回路56により構成されている。

【0027】バス調停回路50は、バス10により転送されてきたバス要求信号および各々のプロセッサエレメントの特権レベルに基づき、バスの割り振りを行う。例えば、バス10から転送されてきたバス要求信号、バス要求値、各プロセッサエレメントの特権レベルおよびバスの使用状況に基づき、バスを使用するプロセッサエレメントを決定し、バス10を介して該当するプロセッサエレメントにバス使用許可信号を送信する。以下、図3を参照しつつ、バス調停回路50の構成および動作についてさらに具体的に説明する。

【0028】受信回路51は、バス10から各プロセッサエレメントの調停器から送信したバス要求信号およびバス要求値を受信し、受信信号を制御回路53に供給する。送信回路52は、特権レベル判断回路54の判断結果に応じてバス使用が許可されたプロセッサエレメントにバス10を介してバス使用許可信号を送信する。

【0029】制御回路53は、何れかのプロセッサエレメントからのバス要求信号を受信したとき、受信回路51からの受信信号に応じて特権レベル判断回路または巡回レベル判断回路にバス使用要求について判断させ、判断の結果に応じて許可されたプロセッサエレメントに使用許可信号を送信するよう制御を行う。また、何れかのプロセッサエレメントの特権レベルが書き換えられたとき、当該書き換えに関する指示信号がバス10を経由して受信回路51により受信される。この場合、制御回路53は受信回路51の受信信号に応じて特権レベル記憶回路56に記憶された対応する特権レベルデータの書き換えを制御する。

【0030】特権レベル判断回路54は、受信回路51から複数のプロセッサエレメントからバス要求信号およびバス要求値を受信したとき、制御回路53の制御に基づき、特権レベル記憶回路56に記憶されている各々のプロセッサエレメントの特権レベルデータに応じてバス使用要求をした複数のプロセッサエレメントのうち最も優先度の高いプロセッサエレメントを決定し、送信回路52を介してそれにバス使用許可信号を送信する。なお、バス使用を要求した複数のプロセッサエレメントのうち最も高い優先度を持つプロセッサエレメントが2以上ある場合、制御回路53にそれを通知する。

【0031】制御回路53は、特権レベル判断回路54から上記通知を受けたとき、巡回レベル判断回路55に

巡回順位に基づいてバスの使用を許可すべきプロセッサエレメントを判断させる。巡回レベル判断回路55は、巡回優先順位に基づきバスを使用するプロセッサエレメントを決定し、送信回路52を介してそれにバス使用許可を出力する。

【0032】特権レベル記憶回路56は、バス10に接続されている全てのプロセッサエレメントの特権レベルデータを記憶する。例えば、バス10にN個のプロセッサエレメントが接続され、各プロセッサエレメントの特権レベルデータがMビットからなる場合、特権レベル記憶回路56は、少なくともM×Nビットの記憶容量を有する。特権レベル記憶回路56に記憶されている特権レベルデータは、制御回路53の制御に応じて書き換えることができる。例えば、何れかのプロセッサエレメントが特権レベルデータを変更した場合に、受信回路51により、当該特権レベルの変更を知らせる通知信号を受信したとき、制御回路53は受信信号に応じて特権レベル記憶回路56に対応する特権レベルデータの書き換え指示を出力し、これに応じて特権レベル記憶回路56に記憶された所定の特権レベルデータが書き換えられる。

【0033】図4～図6は、それぞれ各プロセッサエレメント20-1、20-2、…、20-N、各プロセッサエレメントに設けられた調停器30-1、30-2、…、30-3およびバス調停回路50の動作手順を示すフローチャートである。以下、これらのフローチャートを参照しつつ、それぞれプロセッサエレメント、調停器およびバス調停回路50の動作について説明する。

【0034】まず、図4を参照しながら、プロセッサエレメントの動作手順について説明する。バスを使用するプロセッサエレメントは、まず、ステップ100に示すように、そのプロセッサエレメントに設けられている調停器を介して、バス10に自分の持つ特権レベルデータの上位2ビットとデータ“1”の計3ビットのデータから形成されたバス要求値をバス要求信号とともにバス10に送信する。例えば、特権レベルが2進数で“10010001”のとき、要求値生成回路34によって、バス要求値“101”が生成され、さらに送信回路によって、バス要求信号とともに当該バス要求値がバス10に送信される。

【0035】すべてのプロセッサエレメントにバス要求値のビット数分だけのバス信号線が割り当てられているため、異なるプロセッサエレメントが同じ信号線に重なってバス要求値を送信することにはならない。即ち、プロセッサエレメントの数をNとし、バス要求値が3ビットのデータで構成されるとすると、バス10の幅は、(N×3)ビット以上であるとする。このため、複数のプロセッサエレメントから同時にバス10にバス要求値を送信することが可能である。

【0036】次に、ステップ110において、バス調停回路50またはプロセッサエレメント自身の調停器から

の使用許可信号を待つ。バス調停回路50またはプロセッサエレメント自身の調停器の何れかから許可信号を得れば、そのプロセッサエレメントはバス10を使用できるようになり、調停は終了する。ここで、プロセッサエレメント自身の調停器とは、図1において、例えば、プロセッサエレメント20-1の場合は調停器30-1であり、プロセッサエレメント20-2の場合は調停器30-2、プロセッサエレメント20-Nの場合は調停器30-Nである。

【0037】図5は、各プロセッサエレメント毎に設けられた調停器の動作を示すフローチャートである。図示のように各々の調停器は、自分のプロセッサエレメントがバスの使用を要求する場合に動作をはじめ。ここで、自分のプロセッサエレメントとは、調停器30-1の場合はプロセッサエレメント20-1、調停器30-2の場合はプロセッサエレメント20-2、調停器30-Nの場合はプロセッサエレメント20-Nである。

【0038】まず、ステップ200において、調停器はバス10を監視し、他のプロセッサエレメントが送信したバス要求値を得る。そして、ステップ210において、バス要求値を出したプロセッサエレメントが自分のプロセッサエレメントのみであるか、もしくは、自分のプロセッサエレメントが出したバス要求値が他のどのプロセッサエレメントが出したバス要求値よりも大きいかどうかを調べる。バス要求値を送信したのが自分のプロセッサエレメントのみであり、または自分のプロセッサエレメントが送信したバス要求値が他のどのプロセッサエレメントが送信したバス要求値よりも大きい場合、ステップ220の処理によって、自分のプロセッサエレメントにバス10使用の許可信号を出力する。そうでなければ処理が終了する。

【0039】図6は、バス調停回路50の動作を示すフローチャートである。図示のように、バス調停回路50は、ある一つ以上のプロセッサエレメントがバス10にバス要求値を送信すると動作がはじまる。まず、ステップ300において、バス調停回路がバス10を監視し、プロセッサエレメントがバス10に送信したバス要求値をすべて読み取る。バス要求値が0以上のプロセッサエレメントに対応する特権レベルの値を比較し、最大値を持つものを調べる。

【0040】ステップ310で、特権レベル最大のものが複数あればステップ320の処理を行ない、1つしかなければステップ330においてそのプロセッサエレメントにバス使用の許可信号を出力し、処理が終了する。このとき、ステップ330を実行せず、処理を終了してもよい。即ち、バス使用を要求したプロセッサエレメントが一つの場合には、プロセッサエレメントは、そのプロセッサエレメントに属している調停器によりバス使用が許可が得られ、バス10の使用を開始するので、バス調停回路50から改めてバス使用許可を出力する必

要がない。

【0041】特権レベル最大のものが複数ある場合、ステップ320の処理に進む。ステップ320においては、最大値を持つプロセッサエレメントから、巡回優先順位に基づいて1つのプロセッサエレメントを選択する。そして、ステップ330において、選択されたプロセッサエレメントにバス使用の許可信号を出力し、処理が終了する。なお、バス調停回路50における決定よりも各プロセッサエレメントごとの調停器による決定のほうが優先されるため、どれか一つの調停器が許可信号を出すと、バス調停回路50の処理が終了する。

【0042】ここで、例えば、調停器20-1の特権レベルデータが“10001000”、調停器20-2の特権レベルデータが“01110000”、調停器20-Nの特権レベルデータが“11000000”であるとし（すべて2進数表記）、且つプロセッサエレメント20-1、20-2と20-Nの三つが同時にバス使用するバス要求信号をバス10に出力する場合を考える。この場合、それぞれのプロセッサエレメントがバス10にバス要求値を出力する。例えば、プロセッサエレメント20-1はバス要求値“101”、プロセッサエレメント20-2はバス要求値“011”、さらにプロセッサエレメント20-Nは要求値“111”をそれぞれバス10に出力する。このために、三つの要求値“101”、“011”、“111”のうち、要求値“111”が最大であり、かつ、唯一であるので、プロセッサエレメント20-Nに設けられている調停器30-Nが図5のフローチャートにおけるステップ220の処理においてバス使用の許可信号をプロセッサエレメント30-Nに出力するので、プロセッサエレメント20-Nはバス10を使用可能となる。これと同時に、調停器30-Nの調停処理は終了する。

【0043】以上説明したように、本実施形態によれば、複数のプロセッサエレメントは単一のバス10を用いて、相互に情報の伝達を行うマルチプロセッサシステムにおいて、バス10を使用するプロセッサエレメントはバス要求信号と自分の特権レベルに応じたバス要求値をバス10に送信する。各プロセッサエレメント毎に設けられた調停器は、自分のプロセッサエレメントがバスの使用を要求したとき、バスの使用状況および自分のプロセッサエレメントの特権レベルに応じて、バス使用の可否を決定する。バスに接続されている共通のバス調停回路50は、バス10を監視しつつ、バス10にバス要求信号が送信されたとき、バスの使用状況およびバスを要求したプロセッサエレメントの特権レベルに応じて、バス10を使用するプロセッサエレメントを決定するので、バスの使用権の決定を高速に行うことができ、単一のバスを用いたマルチプロセッサシステムの通信の高速化を実現できる。

【0044】なお、上述した例ではバス10はプロセッ

サエレメントのみしか接続していないが、本発明はこれに限定されるものではなく、バス10にプロセッサエレメント以外の他のモジュール、例えば、マルチプロセッサを構成するユニットで、メモリ等が接続してもよい。また、各プロセッサエレメントが特権レベルを保持しているが、当該特権レベルを示すデータのすべてのビットを保持する必要はなく、バス使用要求時バスに送信するバス要求値を生成するのに必要なビット数分だけ持てばよい。例えば、上述した実施形態に述べたように、プロセッサエレメントがバスを要求するとき、バス要求信号に伴い特権レベルデータの上記2ビットと“1”を結合した3ビットのバス要求値をバスに出力するので、各プロセッサエレメントに、少なくとも特権レベルデータの上位2ビットを保持すればよい。

【0045】さらに、バス10に接続されている共通のバス調停回路50において、バス使用要求を送信したプロセッサエレメントのうち、特権レベル最大のものが複数ある場合に、巡回優先順位に基づいて一つのプロセッサエレメントを選択しているが、この選択は別の方法によって行ってもよい。また、特権レベル最大のものを選ぶ必要もなく、例えば、疑似的に特権レベル最大のものを選択してもよい。また、バス10を使用するプロセッサエレメントはバス10に、自分の持つ特権レベルデータの上位2ビットからなる3ビットのバス要求値を送信しているが、このビット数はいくつでもよい。ただし、0以上で、且つ特権レベルデータのビット数またはそれ以下のビット数を持つデータを送信するものとする。

【0046】また、各プロセッサエレメントの特権レベルデータは、例えば、バス調停回路50によりそれぞれ設定することができ、バス調停回路50は、バス10を介して、各プロセッサエレメントに特権レベルデータを設定する制御信号を送信することもできる。さらに、各プロセッサエレメントがバス10を介して任意のプロセッサエレメントに特権レベルデータを設定する制御信号を送信することができる。また、プロセッサエレメントは直接自分の特権レベルデータを設定することもできる。プロセッサエレメントの特権レベルデータが変更されたとき、バス調停回路50が保持する特権レベルデータも変更される。また、各プロセッサエレメントの特権レベルデータは、各プロセッサエレメント毎に設けられた調停器に記憶してもよい。この場合に、バス10を使用するプロセッサエレメントは、調停器を介してバス10にバス要求信号と自分の特権レベルに応じたバス要求値を送信することができる。

【0047】

【発明の効果】以上説明したように、本発明のマルチプロセッサおよびそのバス調停方法によれば、各プロセッサエレメントごとに調停器が設けられているため、バスを使用するプロセッサエレメントを唯一に選択できれば即座にそれを決定し、プロセッサエレメントに伝えるこ

とができ、高速な調停を実現できる。また、バスを使用するプロセッサエレメントは、バス要求信号を送信する際に、特権レベルの情報の一部、例えば、特権レベルデータの一部からなるバス要求値をバスに送信するため、バス調停回路でバスを使用するプロセッサエレメントを決定できる可能性が高い。さらに、バスを使用するプロセッサエレメントが送信するバス要求値のビット数を大きくすれば、各プロセッサエレメント毎に設けられた調停器で決定できる確率が高くなり、共通のバス調停回路で決定する場合よりも調停にかかる時間を短くすることができる。各々のプロセッサエレメントとは独立した共通のバス調停回路を持つため、複雑な調停を行っても、このバス調停回路のみの回路が大きくなるだけで、個々のプロセッサエレメントに設けられた調停器には影響を与えない。即ち、複雑なアルゴリズムを持つ調停回路の実装が可能となる。また、各プロセッサエレメントの調停器が対応するプロセッサエレメントの特権レベルデータのみを保持し、すべてのプロセッサエレメントの特権レベルを保持する必要がなく、バス調停回路が保持すればよいので、特権レベルの変更があった場合、バス調停回路のみにそれを伝えればよく、バスの通信負荷を低減できる利点がある。

【図面の簡単な説明】

【図1】本発明に係るマルチプロセッサの一実施形態を示す回路図である。

【図2】プロセッサエレメントに設けられている調停器の構成を示す回路図である。

【図3】共通のバス調停回路の構成を示す回路図である。

【図4】プロセッサエレメントの動作を示すフローチャートである。

【図5】プロセッサエレメント毎に設けられた調停器の動作を示すフローチャートである。

【図6】バス調停回路の動作を示すフローチャートである。

【図7】単一バスのマルチプロセッサの構成を示す概念図である。

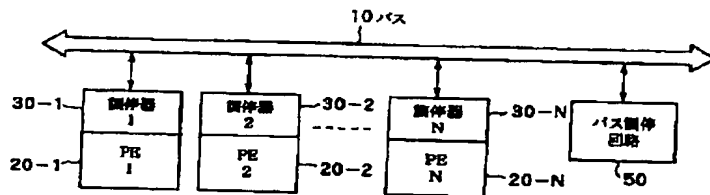
【図8】集中型調停回路を有するマルチプロセッサの構成例を示す回路図である。

【図9】分散型調停回路を有するマルチプロセッサの構成例を示す回路図である。

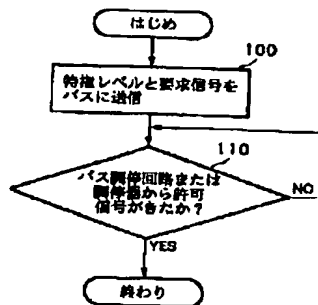
【符号の説明】

10…バス、20-1、20-2、…、20-N…プロセッサエレメント (PE)、30-1、30-2、…、30-N…調停器、40…調停器、50…バス調停回路。

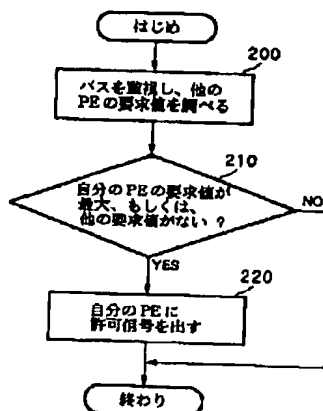
【図1】



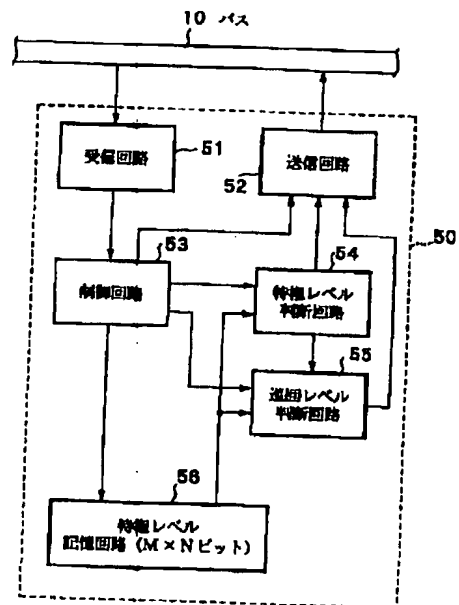
【図4】



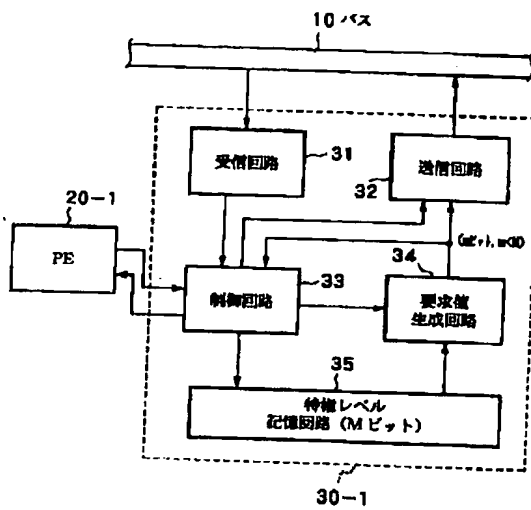
【図5】



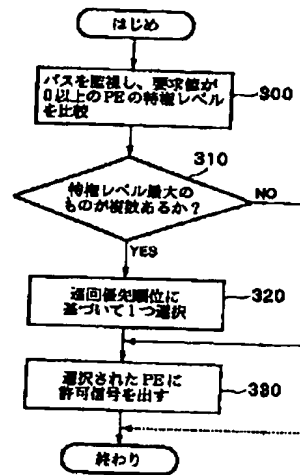
【図3】



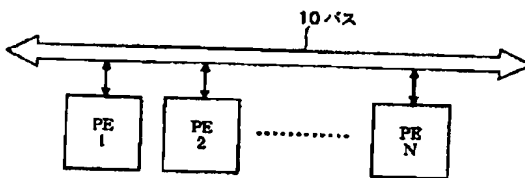
【図2】



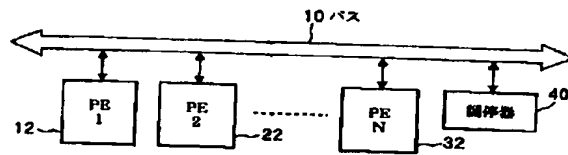
【図6】



【図7】



【図8】



【図9】

